- 1 -
Применение языка Verilog и методология проектирования цифровых устройств

На современном этапе развития электроники и цифровой техники основной областью применения языков описания оборудования является поведенческое проектирование программируемых логических интегральных схем FPGA- и CPLD-типов.

1.1. Область применения языков описания оборудования

1.1.1. Общая характеристика интегральных схем программируемой логики

Интегральные микросхемы (ИМС) типа FPGA (Field Programmable Gate Array) представляют собой программированные пользователем вентильные матрицы [2; 9; 14; 18]. Современная электронная индустрия предоставляет широкий диапазон ИМС FPGA-технологии с самыми различными показателями по быстродействию, сложности реализуемых алгоритмов, помехозащищенности и стоимости. Это позволяет осуществлять на их основе проектирование широкого спектра цифровых электронных устройств, среди которых следует назвать: средства объединения различных по питанию интерфейсов, преобразователи кодов, периферийные контроллеры, микропрограммные устройства управления, универсальные и специализированные

процессоры, устройства цифровой обработки сигналов и многие другие. Программируемые интегральные схемы наиболее широко применяются в сфере телекоммуникаций, в компьютерных сетях, в средствах цифровой обработки данных и в промышленном производстве [13]. В настоящее время трудно найти мобильный телефон, пейджер, сетевую карту или концентратор, не содержащий хотя бы одной FPGA микросхемы. Высокая производительность и параллелизация вычислительных алгоритмов ПЛИС FPGA-типа делает возможным их широкое применение в современных информационно-измерительных системах и комплексах [5; 6] и других типах интеллектуальных компьютеризированных систем [2; 10; 11; 21].

1.1.2. Интегральные схемы FPGA-типа

Более детально рассмотрим обобщенную структуру кристалла ПЛИС FPGA-типа [18]. По периферии верхнего слоя кристалла размещаются блоки ввода/вывода (БВВ). Следует отметить, что здесь и ниже, говоря о слоях, авторы имеют в виду условное разделение микросхемы, а не реальную топологию размещения полупроводниковых элементов в кристалле. БВВ могут быть запрограммированы для выполнения функций входного или выходного буфера, а также буфера с запоминанием и др. В некоторых сериях FPGA-ИМС уровень напряжения на отдельных БВВ может быть различным, что позволяет связывать в одной системе устройства с интерфейсами, отличающимися электрическими стандартами питания.

В центре кристалла в виде матрицы размещены конфигурируемые логические блоки (КЛБ). Быстродействие всей микросхемы в значительной степени определяется временной задержкой «вход-выход» одного КЛБ. Структура КЛБ зависит от серии микросхем. Так, например, в ИМС XC2000 каждый КЛБ имеет 2 выхода, 4 входа общего назначения, специальный вход синхронизации (тактовый вход) и запоминающий элемент. КЛБ интегральных микросхем этой серии может генерировать любую логическую функцию четырех переменных или две логические функции трех переменных. Входные сигналы для вычисления логических функций могут поступать с четырех входов и выхода запоминающего элемента.

Область между конфигурируемыми логическими блоками называется областью программируемых межсоединений [18] и представляет собой развитую иерархию металлических линий связи, в точках пересечения которых размещены специальные быстродействующие транзисторы. Функция области межсоединений состоит в обеспечении связи между любыми выводами КЛБ и БВВ. Нужный маршрут межблоковых соединений в FPGA-ПЛИС реализуется коммутацией соответствующих линий с помощью транзисторов.

Нижний слой кристалла занимает теневое запоминающее устройство, информация в элементах которого определяет логические функции КЛБ, конфигурацию БВВ и маршруты межсоединений.

Программирование микросхемы FPGA состоит в загрузке теневого запоминающего устройства, каждый бит которого непосредственно связан с одним из настраиваемых элементов верхнего слоя. Последние серии микросхем компании Xilinx Inc. позволяют программировать ИМС FPGA по частям, без прекращения ее работы [32]. Реализация такого подхода открывает широкие возможности по удаленному управлению автономными электронными устройствами, например, при модернизации их программного обеспечения.

Микросхемы FPGA построены по принципу оперативного запоминающего устройства, и, следовательно, после отключения питания информация в теневом запоминающем устройстве стирается. В связи с этим на соответствующих платах дополнительно устанавливают специальные микросхемы ПЗУ, позволяющие при каждом включении перепрограммировать FPGA-микросхему. Такой подход значительно ослабляет уровень защиты от нелегального копирования электронных схем, так как программу для ПЛИС несложно перехватить на пути между ПЗУ и FPGA. Один из способов защиты, используемых компаниями – производителями ПЛИС, состоит в засекречивании структуры битового потока, программирующего ПЛИС. В секрете сохраняется соответствие между битами программирующего потока и формирующейся цепью логических элементов. Таким образом, возможность нелегального копирования сохраняется, однако расшифровка внутренней структуры и деталей реализации алгоритмов ПЛИС представляет собой более сложную, а в некоторых случаях и неразрешимую задачу.

Последнего недостатка лишены выполненные по технологии стираемого постоянного запоминающего устройства микросхемы CPLD-типа. Содержимое памяти таких ИМС при отключении питания не стирается, и, следовательно, им не требуется дополнительных банков ПЗУ для программирования. После установки бита секретности информацию из CPLD-микросхем считать невозможно. Обобщенная структура микросхемы CPLD рассмотрена более подробно в следующем разделе.

1.1.3. Архитектура ИМС типа CPLD

Архитектуру ИМС типа CPLD (Complex Programmable Logic Device – сложное программируемое логическое устройство) рассмотрим на примере популярной серии микросхем Xilinx XC9500 [18].

IMC XC9500 имеет три группы выводов:

- выводы JTAG-порта (стандарт IEEE Std. 1149.1) для программирования и периферийного сканирования ИМС [30];
- порты ввода/вывода (I/O);
- управляющие выводы: сигнал тактирования GCK, установки/сброса GSR, управление третьим состоянием GTS.

К основным элементам CPLD-микросхемы, отвечающим за реализацию вычислительного алгоритма, относятся блоки ввода/вывода, матрица переключений и функциональные блоки. Блоки ввода/вывода, обеспечивающие буферизацию всех входов и выходов ИМС, присоединены к ножкам интегральной схемы и могут быть сконфигурированы как входы или выходы устройства. Каждый функциональный блок (ФБ) содержит 18 макроячеек (МЯ) со структурой «36 входов – 1 выход» и разрешает формировать 18 логических функций для любой комбинации из 36 логических переменных. Матрица переключений, расположенная между блоками ввода/вывода и ФБ, обеспечивает подачу на входы ФБ любых входных сигналов устройства и выходных сигналов от других ФБ, а также пересылку выходных сигналов ФБ на блоки ввода/вывода (выходы устройства).

Программируемые логические ИМС CPLD-технологии широко применяются для проектирования нестандартных арифметико-логических устройств, дешифраторов, мультиплексоров, счетчиков и др.

К недостаткам CPLD (по сравнению с FPGA) следует отнести значительно более низкую сложность реализуемых алгоритмов, связанную с намного меньшим количеством программируемых системных вентилей, а также более высокое энергопотребление. Преимущества CPLD состоят в более высоком быстродействии и (как уже отмечалось) в обеспечении возможности установления защиты от копирования. Кроме того, наличие свободно распространяемых пакетов для синтеза логических структур микросхем CPLD делает их экономичным и удобным средством для разработки проектов невысокой сложности.

Кроме разработки устройств на основе микросхем CPLD- и FPGA-типов, языки описания оборудования также широко используются при проектировании заказных и полузаказных микросхем, а ПЛИС в этом случае используются для макетирования и тестирования промежуточных вариантов.