

Введение

Язык Verilog предназначен для описания оборудования, а, следовательно, конкретная программа на языке Verilog представляет собой модель соответствующего электронного цифрового устройства.

Основной принцип поведенческого проектирования электронных схем можно сформулировать следующим образом: если модель полностью определяет функциональность устройства и его реакцию на любые допустимые внешние воздействия, то на основе такой модели можно автоматически синтезировать цифровую логическую схему, реализующую моделируемое устройство. Средства автоматического синтеза цифровых схем требуют использования для описания моделей некоторого формального языка. В настоящее время разработан ряд таких языков, получивших в англоязычной научно-технической литературе название HDL (Hardware Description Language – язык описания оборудования), которые, в основном, используются в пределах компаний-разработчиков, оставаясь их внутренними интеллектуально-программными инструментами. Кроме того, некоторые компании-изготовители интегральных микросхем программируемой логики (например, компания «Альтера») создают собственные языки HDL и могут включать их в состав только собственных интегрированных сред разработки и синтеза логических цепей. По-настоящему широкое распространение получили VHDL и Verilog – языки межнационального общения в сфере разработки электронных цифровых устройств. Разработчики электронных схем перемещают основное внимание с непосредственного проектирования на верификацию проектов, которая сегодня занимает около 70% проектного времени и существенно влия-

ет на качество проектирования электронных цифровых устройств в целом [26].

Главная проблема при разработке языков описания оборудования состоит в создании механизмов параллельной обработки информации и решении связанных с ней задач разделения вычислительных процессов и данных между процессами. Кроме того, необходимо адекватно моделировать реальную передачу информации в устройствах, которая не происходит в природе мгновенно. На реальные каналы связи существенно влияют внешние и внутренние возмущающие воздействия: возникают шумы и искажения, проявляется взаимовлияние между отдельными каналами передачи информации, сигнал затухает на расстоянии и т.д.

Обычно, в связи с большими трудностями в моделировании указанных процессов, каналы связи рассматриваются как идеальные, но при этом вводится определенная задержка передачи информации. Такое допущение с высокой вероятностью приводит к несоответствию между моделями, т.е. к неадекватности моделей реальным процессам. Поэтому процесс разработки HDL-моделей является многоэтапным, с многократным тестированием фрагментов модели и проекта в целом, в частности, на первом этапе – имитационным тестированием, а затем и экспериментальным, с возможностью возврата к какому-либо из предыдущих этапов.