

- Приложение А -

Имитационное моделирование Verilog-программ в среде Active-HDL

Как уже указывалось выше, тестирование является одним из наиболее ответственных этапов разработки проекта. Среда Active-HDL предоставляет пользователю широкий спектр возможностей для проведения имитационного моделирования Verilog-проектов и визуализации полученной информации [24]. В соответствующем разделе уже обсуждался автоматизированный генератор испытательных стендов. В данном приложении основное внимание уделяется специфике процессов моделирования и работе с такими средствами, как редактор временных диаграмм (Waveform editor) и редактор таблиц (List viewer).

Что же необходимо сделать для запуска моделирования? Понятно, что перед началом моделирования поведение объекта должно быть описано на языке Verilog в отдельном модуле, компилирующемся без ошибок. Кроме того, необходимо запланировать, каким образом будут изменяться сигналы на входах моделируемого устройства.

В среде Active-HDL процесс моделирования состоит из ряда следующих этапов:

Этап 1. Определение верхнего уровня для моделирования (Top level selection). Большинство реальных проектов для синтеза цифровых устройств обладает сложной структурой и состоят более чем из одного модуля. Верхний уровень позволяет определить, какой именно из всех имеющихся объектов **module** будет промоделирован в текущей сессии.

Эман 2. Выбор способа отображения процесса моделирования.

Ход моделирования в Active-HDL можно визуализировать различными способами – с помощью временных диаграмм (**waveform editor**), таблиц (list), а также при помощи проб (probes) на блок-диаграммах. Выбор способа осуществляется путем добавления соответствующего файла к проекту.

Эман 3. Формирование тестовых векторов (stimulators) – это процесс моделирования цифрового устройства, который состоит в формировании зависимостей значений выходных портов объекта от времени при известных зависимостях значений входных портов от времени. Зависимости сигналов входных портов от времени в среде Active-HDL формируются с помощью так называемых **стимуляторов** (генераторов задающего воздействия), присоединенных к этим портам.

Эман 4. Расчет зависимостей значений выходных портов объекта от времени – собственно режим имитационного моделирования, состоящий в запуске Verilog-программы. Среда Active-HDL включает в себя высокоскоростное двуязычное (Verilog и VHDL) компилирующее ядро, позволяющее генерировать эффективный код и обеспечивающее моделирование проектов высокой степени сложности с высоким быстродействием.

Последовательность действий оператора при моделировании такова:

1. Описать поведение объекта в Verilog-модуле.
2. Скомпилировать созданный модуль (меню *Design\Compile* или клавиша <F11>).
3. В окне *Design Browser* (обычно расположенном слева на экране монитора) для определения объекта верхнего уровня (Top Level) выбрать из выпадающего списка моделируемый объект. В этот список автоматически попадают все правильно откомпилировавшиеся модули и объекты VHDL, входящие в текущий проект.
4. Инициализировать моделирование объекта (меню *Simulation\Initialize Simulation*) – по этой команде компьютер производит ряд специальных действий, обеспечивающий подготовку моделирования.
5. Добавить к проекту новый файл редактора временных диаграмм (*Waveform Viewer*) либо редактора таблиц (List) при помощи команды меню *File\New\Waveform* или *File\New\List*, соответственно. При активизации созданных в этом пункте окон в

главном меню среды Active-HDL возникает дополнительный раздел – «Waveform» для редактора временных диаграмм и «List» для редактора таблиц.

6. Определить наблюдаемые сигналы объекта и добавить их в окно редактора диаграмм или таблиц (меню Waveform\Add Signals либо List\Add Signals).
7. Поочередно выделяя мышкой входные сигналы моделируемого объекта в окне Waveform Viewer, назначить им стимуляторы (меню Waveform\Stimulators). В окне редактора таблиц стимуляторы назначить невозможно, поэтому для использования редактора таблиц нужно также создать дополнительное окно редактора временных диаграмм, из которого осуществлять управление процессом моделирования.
8. Запустить процесс моделирования объекта (меню Simulation\Run).

После выполнения последнего пункта на временной диаграмме будут отображены результаты моделирования проекта. Например, промоделируем работу полного сумматора, Verilog-код которого приведен ниже:

```
`timescale 10ns / 1ps

module Full_Adder_V ( Carry_In ,Carry_Out ,
                    Sum ,X1 ,X2 );

input Carry_In ;
wire Carry_In ;
input X1 ;
wire X1 ;
input X2 ;
wire X2 ;

output Carry_Out ;
wire Carry_Out ;
output Sum ;
wire Sum ;

wire s1;
```

```
wire s2;
wire s3;
wire s4;

assign #4 s1 = (X1 ^ X2);
assign #4 Sum = s1 ^ Carry_In;
assign #5 s2 = ~(X1 & Carry_In);
assign #5 s3 = ~(X2 & Carry_In);
assign #5 s4 = ~(X1 & X2);
assign #9 Carry_Out = ~(s2 & s3 & s4);

endmodule
```

После успешной компиляции модуля следует определить верхний уровень моделирования, процесс выбора нужного элемента из списка показан на рис. А.1.

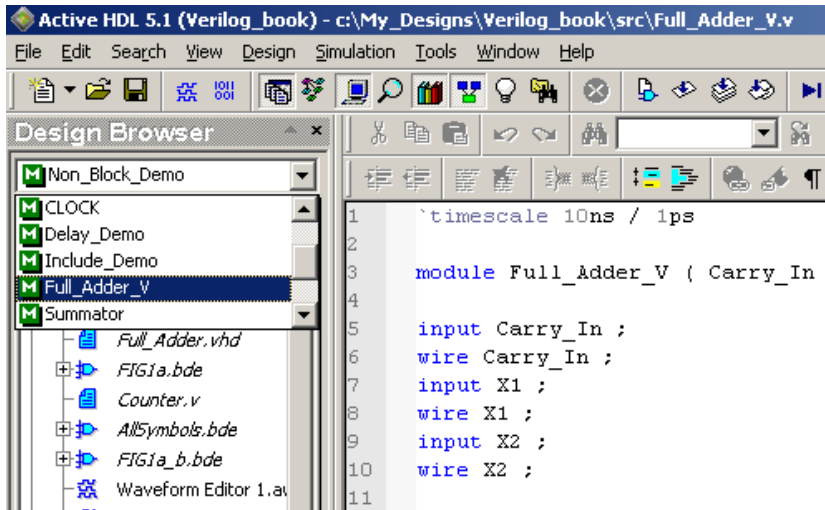


Рис. А.1. Определение верхнего уровня моделирования

Создадим новое окно для временной диаграммы (рис. А.2).

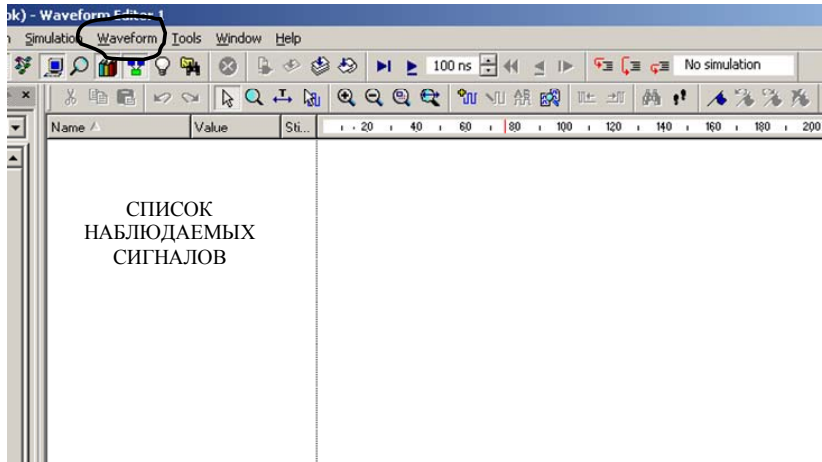


Рис. А.2. Пустая временная диаграмма

Как видно из предыдущего рисунка, в главном меню возник пункт Waveform. Список наблюдаемых сигналов окна пока пуст.

После вызова команды меню Waveform\Add Signals на экране возникнет полный перечень внутренних и внешних сигналов моделируемого объекта (рис. А.3).

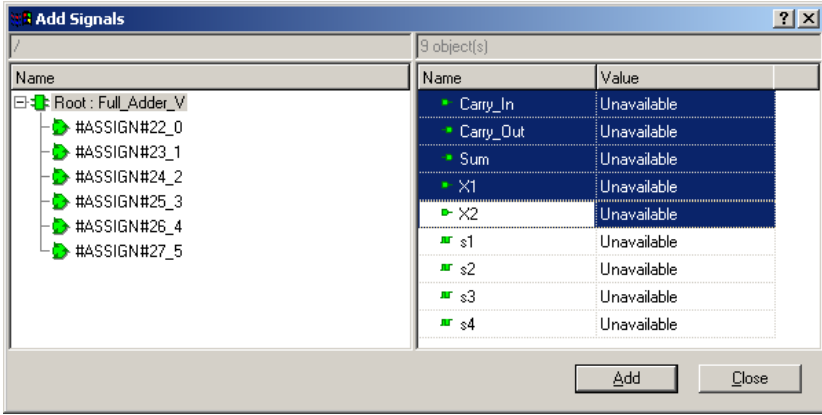


Рис. А.3. Выбор наблюдаемых сигналов

К наблюдаемым сигналам отнесем все элементы интерфейса (порты) устройства, а также внутренние сигналы *s1*, *s3*, *s4*. Добавим их в рабочее окно редактора диаграмм путем поочередного или группового выделения и нажатия кнопки Add. Окно редактора диаграмм примет вид, показанный на рис. А.4.

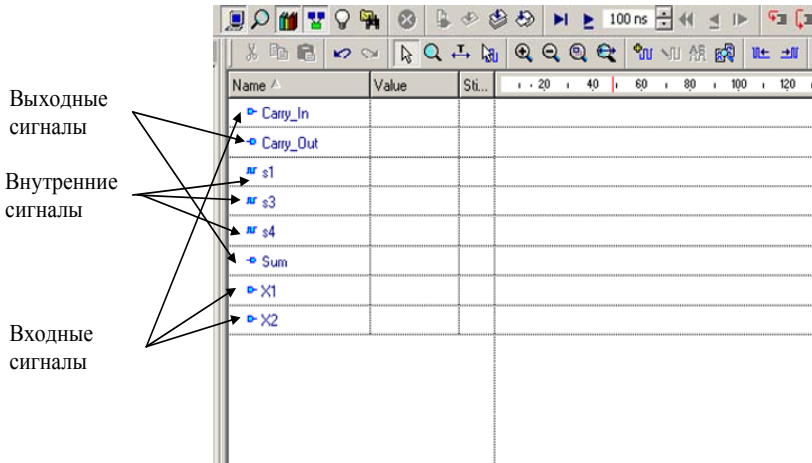


Рис. А.4. Список наблюдаемых сигналов

Следует обратить внимание на пиктограммы, обозначающие тип сигнала. На рис. А.4 временная диаграмма содержит 3 внутренних сигнала, 3 входных порта и 2 выходных порта.

Определим задающие воздействия для моделирования следующим образом: в нулевой момент времени сигналы $X1$, $X2$ и $Carry_In$ равны 0; в момент модельного времени $T_{mod} = 40\text{ ns}$ сигналы $X1$ и $Carry_In$ приобретают значение 1. Среди всего набора стимуляторов наиболее подходящим для реализации таких задающих воздействий является стимулятор «формула». На рис. А.5 показан фрагмент процесса установки стимуляторов.

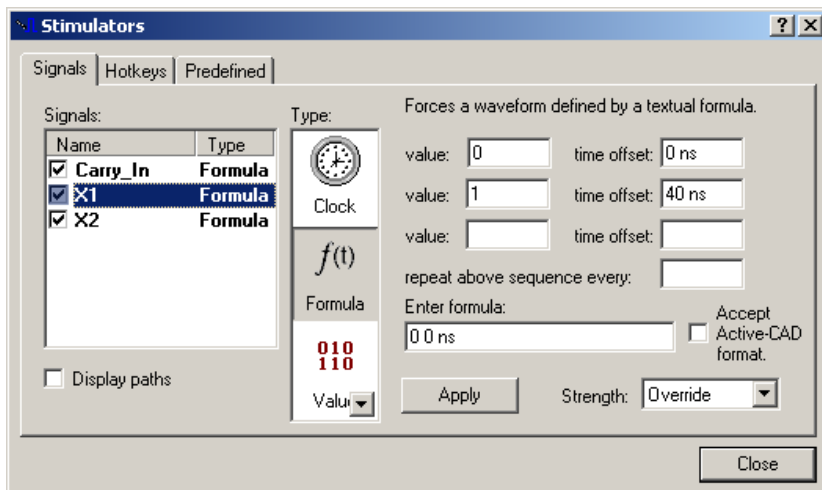


Рис. А.5. Установка стимуляторов

Полностью все типы стимуляторов и их настройку рекомендуется изучить с использованием справочной системы Active-HDL.

И наконец, на рис. А.6 показана временная диаграмма после завершения процесса моделирования.

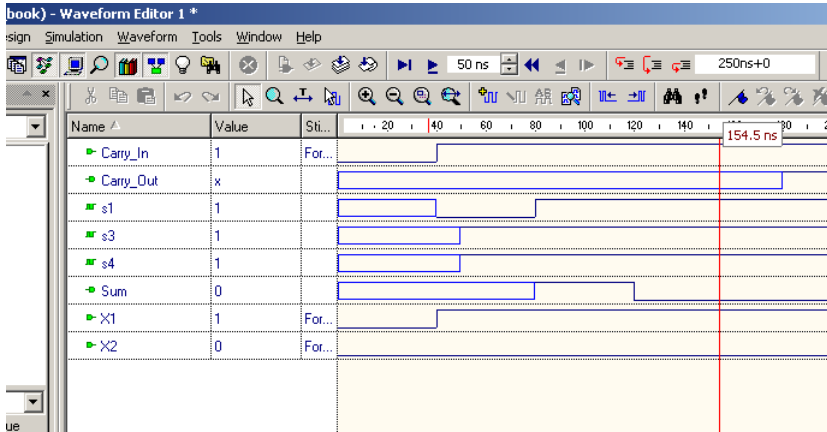


Рис. А.6. Результирующая временная диаграмма для моделирования полного сумматора

Полученную временную диаграмму можно сохранить, сравнить с другими сохраненными диаграммами и т.д. При анализе временных диаграмм удобно пользоваться курсором (вертикальная черта с табличкой 154.5 ns). Устанавливая курсор в нужную позицию модельного времени, в колонке Value можно наблюдать значения сигналов.

Если в проекте во время построения временной диаграммы существовал файл редактора таблиц, список наблюдаемых сигналов которого включал сигналы моделируемого устройства, то одновременно с диаграммой будет сформировано и табличное представление результатов моделирования (рис. А.7).

Time	Delta	s2	Carry_In	s3	Carry_Out	Sum	s4	X1	X2	s1
0.000	0	x	z	x	x	x	x	z	z	x
0.000	1	x	0	x	x	x	x	0	0	x
40.000 ns	0	x	1	x	x	x	x	1	0	0
50.000 ns	0	x	1	1	x	x	1	1	0	0
80.000 ns	0	x	1	1	x	1	1	1	0	1
90.000 ns	0	0	1	1	x	1	1	1	0	1
120.000 ns	0	0	1	1	x	0	1	1	0	1
180.000 ns	0	0	1	1	1	0	1	1	0	1

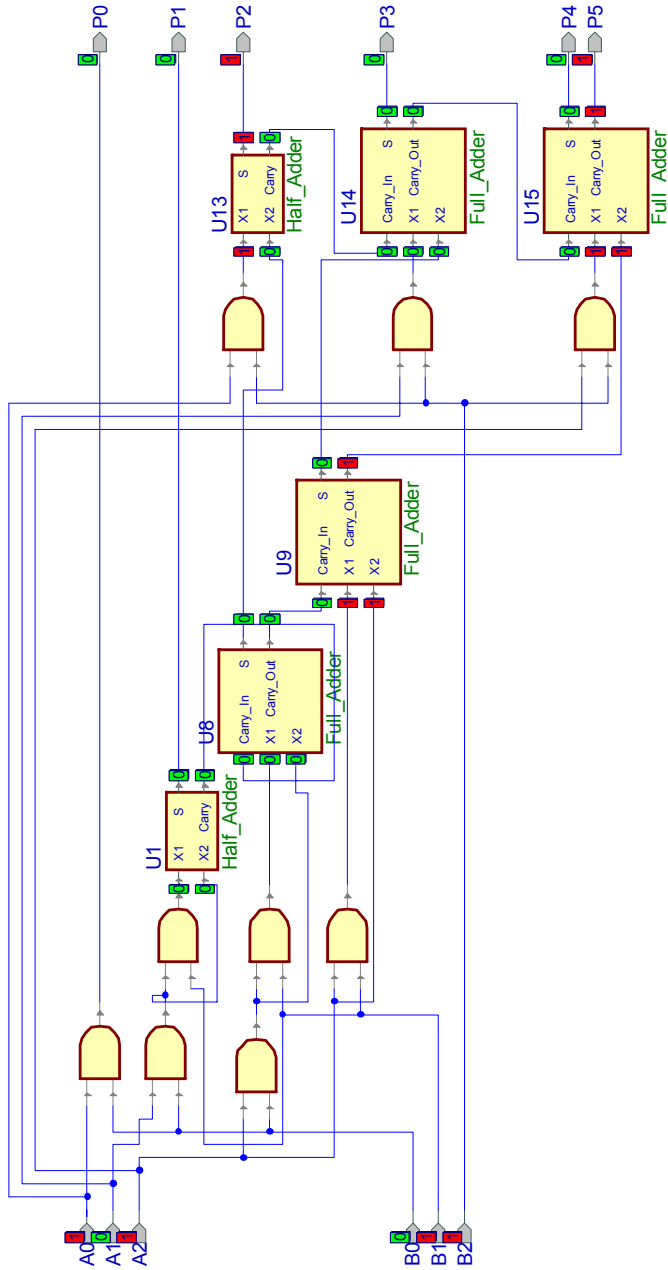


Рис. А.8. Отображение текущих значений сигналов на линиях связи блок-диаграммы